



Karta przedmiotu
Układy cyfrowe

1. Informacje podstawowe

<p>Kierunek studiów elektronika i telekomunikacja</p> <p>Jednostka zarządzająca kierunkiem studiów Wydział Telekomunikacji, Informatyki i Elektrotechniki</p> <p>Poziom studiów drugiego stopnia (mgr inż.)</p> <p>Profil studiów Profil ogólnoakademicki</p> <p>Forma studiów studia niestacjonarne</p>	<p>Cykl kształcenia (nabór) 2025/26</p> <p>Kod przedmiotu 05EITN.DI3.0353.25</p> <p>Języki wykładowe polski</p> <p>Obligatoryjność Obowiązkowy</p> <p>Blok zajęciowy Przedmioty kierunkowe</p>	
<p>Wymagania wstępne</p>	<p>Podstawy programowania w języku wysokopoziomowym, znajomość podstawowych elementów logicznych, pamięciowych w technice cyfrowej, algebra Boole'a.</p>	
<p>Przedmioty wprowadzające</p>	<p>Technika cyfrowa wykład, Technika cyfrowa laboratorium</p>	
<p>Koordinator</p>	<p>Łukasz Saganowski</p>	
<p>Okres Semestr 1</p>	<p>Forma zaliczenia Egzamin</p> <p>Forma prowadzenia i godziny zajęć Wykład: 9</p>	<p>Liczba punktów ECTS 1.0</p>
<p>Okres Semestr 2</p>	<p>Forma zaliczenia Zaliczenie na ocenę</p> <p>Forma prowadzenia i godziny zajęć Ćwiczenia laboratoryjne: 9</p>	<p>Liczba punktów ECTS 1.0</p>

2. Efekty uczenia się dla przedmiotu

Kod	Opis efektów uczenia się	Odniesienie do kierunkowych efektów uczenia się	Odniesienie do charakterystyk PRK
Wiedza:			
W1	Posiada wiedzę na temat budowy cyfrowych bramek logicznych, układów pamięciowych oraz cyfrowych układów programowalnych CPL i FPGA. Opisu i analizy działania oraz syntezy złożonych systemów elektronicznych opartych na układach CPLD i FPGA.	EIT_O2_K_W01	P7S_WG_inż P7S_WG
W2	Ma wiedzę na temat nowoczesnych układów programowalnych CPLD i FPGA oraz na metodach ich projektowania, tworzenia projektu sprzętu dla urządzeń cyfrowych, obszarach aplikacji programowalnych układów cyfrowych oraz o metodach symulacji.	EIT_O2_K_W07, EIT_O2_K_W23	P7S_WG, P7S_WG_inż P7S_WG
Umiejętności:			
U1	Potrafi wykorzystywać wiedzę i umiejętności K_U06 P7S_UWSTRONA 23 z 113 WTII EIT 2019/2020 projektowania (z wykorzystaniem poznanych metod matematycznej analizy i syntezy układów cyfrowych) i programowania układów cyfrowych CPLD i FPGA do rozwiązywania rzeczywistych problemów inżynierskich gdzie konieczne jest zastosowanie tego typu układów programowalnych.	EIT_O2_K_U06	P7S_UW_inż P7S_UW
U2	Potrafi wykorzystywać nowe osiągnięcia technologiczne z zakresu układów cyfrowych do poprawy wydajności, energochłonności, kosztocłonności oraz poprawy funkcjonalności istniejących oraz nowych rozwiązań technicznych opartych o układy typu CPLD i FPGA.	EIT_O2_K_U12	P7S_UW_inż P7S_UW
Kompetencje społeczne:			
K1	Potrafi projektować urządzenia oparte u układy cyfrowe w kontekście ich komercyjnego wykorzystania szukając możliwości ich zastosowania w nowych dziedzinach życia lub też poprawy istniejących rozwiązań.	EIT_O2_K_K01	P7S_KK

3. Treści programowe

Lp.	Treści programowe	Formy zajęć	Efekty uczenia się dla przedmiotu
1.	<ul style="list-style-type: none"> • Wprowadzenie do logiki układów programowalnych i specjalizowanych typu CPLD i FPGA. □ Budowa i zasada działania układów CPLD i FPGA. • Komputerowe wspomaganie projektowania i testowania układów cyfrowych CPLD i FPGA. • Wprowadzenie do projektowania cyfrowych układów programowalnych z wykorzystaniem języka programowania VHDL. • Techniki symulacji układów cyfrowych w oparciu w oparciu o wybrane oprogramowanie symulacyjne. • Realizacje wybranych elementów i układów techniki cyfrowej w oparciu wysokopoziomowy język programowania do opisu sprzętu - VHDL. • Projektowanie obwodów drukowanych dla układów cyfrowych CPLD i FPGA. □ Zastosowania cyfrowych układów programowalnych jako elementy wspomagające działanie mikroprocesorów/mikrokontrolerów. • Zastosowanie oraz tworzenie modułów programowych IP Intellectual Property Core w układach programowalnych FPGA. 	Wykład	W1, W2
2.	<p>Ćwiczenia laboratoryjne obejmują następujące zagadnienia: 1. Wprowadzenie do języka VHDL. 2. Projektowanie układów czasowych/licznikowych w języku VHDL. 3. Projektowanie układów arytmetycznych w języku VHDL. 4. Projektowanie detektorów sekwencji w języku VHDL. 5. Projektowanie dwuprocesorowych automatów stanu w języku VHDL. 6. Projektowanie generatorów PWM (Pulse Width Modulation). 7. Projektowanie oraz wykorzystanie pamięci ROM/RAM w układach programowalnych FPGA. STRONA 24 z 113 WTiiE EiT 2019/2020 Załącznik nr 3 do: Wytycznych do projektowania i modyfikacji programów studiów I i II stopnia w UTP 8. Obsługa elementów wyświetlających LED i LCD. 9. Projektowanie układów do obsługi interfejsów szeregowych np. PCM, I2S, I2C, 1Wire itp. w języku VHDL. 10. Buforowanie danych odbieranych z interfejsów szeregowych z użyciem pamięci FIFO. 11. Programowanie cyfrowych generatorów arbitralnych sygnałów cyfrowych. 12. Realizacja projektów hierarchicznych w języku VHDL. 13. Wykorzystanie modułów programowych IP Core dla układów FPGA. 14. Projektowanie elementów składowych mikrokontrolera za pomocą języka VHDL.</p>	Ćwiczenia laboratoryjne	U1, U2, K1

4. Metody prowadzenia zajęć, weryfikacji efektów uczenia się i warunki zaliczenia

Semestr 1

Forma zajęć	
-------------	--

Wykład	Metody prowadzenia zajęć:	
	Wykład	
	Metody (sposoby) weryfikacji:	Udział:
	Egzamin pisemny	100%
	Warunki zaliczenia przedmiotu:	
egzamin pisemny, próg zaliczenia 51%		

Semestr 2

Forma zajęć		
Ćwiczenia laboratoryjne	Metody prowadzenia zajęć:	
	Ćwiczenia laboratoryjne	
	Metody (sposoby) weryfikacji:	Udział:
	Sprawozdanie	100%
	Warunki zaliczenia przedmiotu:	
Wykonanie obowiązkowego zestawu ćwiczeń z użyciem zestawu laboratoryjnego oraz przygotowanie sprawozdań, 1 dodatkowe ćwiczenie ocena 4,0, 2 dodatkowe ćwiczenia ocena 5,0.		

Efekt uczenia się dla przedmiotu	Metody (sposoby) weryfikacji	
	Egzamin pisemny	Sprawozdanie
W1	x	
W2	x	
U1		x
U2		x
K1		x

5. Literatura

Literatura podstawowa

- Łuba T., Synteza układów logicznych, WSISIZ, Warszawa, 2001
- Łuba T., Jasiński K., Zbierchowski B., Specjalizowane układy cyfrowe w strukturach PLD i FPGA, WKŁ, Warszawa, 1998
- Majewski W., Układy logiczne, WNT, Warszawa, 1992
- Molski M., Wstęp do techniki cyfrowej, WKŁ, Warszawa, 1989
- Zwoliński M., Projektowanie układów cyfrowych z wykorzystaniem języka VHDL, WKŁ, 2015

Literatura uzupełniająca

- Skahill K., Vhdl for Programmable Logic, Dorling Kindersley Pvt Ltd, 2006
- Majewski J., Zbysiński P., Układy FPGA w przykładach, Wydawnictwo BTC, 2007

6. Nakład pracy studenta - bilans godzin i punktów ECTS

Aktywność studenta		Obciążenie studenta Liczba godzin
Zajęcia prowadzone z bezpośrednim udziałem nauczyciela akademickiego lub innych osób prowadzących zajęcia	Wykład	9
	Ćwiczenia laboratoryjne	9
Praca własna studenta	Konsultacje	2
	Przygotowanie do zajęć	6
	Studiowanie literatury	17
	Inne (przygotowanie do egzaminu)	17
Łączny nakład pracy studenta		60
Liczba punktów ECTS		2

* Godzina (dydaktyczna) oznacza 45 minut